

ASSISTANT COMMISSIONER FOR PATENTS  
Washington, D.C. 20231

Sir:

Transmitted herewith for filing under 37 C.F.R. §1.53(b) is the patent application of  
Inventor(s): Takeshi WADA; Kenji INAGE; Masashi SHIRAISHI; and Haruyuki MORITA

For: HEAD SUSPENSION ASSEMBLY

JC639 U.S. PTO



10/18/99



- ☒ Japanese Language Specification and Claims (10 pages)
- ☒ 7 sheets of drawings
- ☒ Newly executed Declaration and Power of Attorney
- ☒ Return Receipt Postcard
- ☒ An assignment of the invention to TDK CORPORATION with accompanying PTO-1595 Form
- ☒ A certified copy of Japanese Patent Application No. 10-313955 filed: October 19, 1998
- ☒ Information Disclosure Statement; PTO-1449 Form; References (3)
- ☒ A filing fee, calculated as shown below:

	(Col. 1)	(Col. 2)
FOR:	No. Filed	No. Extra
BASIC FEE		
TOTAL CLAIMS	13 - 20 =	* 0
INDEP CLAIMS	1 - 03 =	* 0
MULTIPLE DEPENDENT CLAIM PRESENTED		

\* If the difference in Col. 1 is less than zero, enter "0" in Col. 2

Small Entity	
RATE	FEE
	\$380
x 9 =	
x 39 =	
+130 =	
TOTAL	

or  
or  
or  
or  
or

Other Than A Small Entity	
RATE	FEE
	\$760
x 18 =	0
x 78 =	0
+260 =	0
	\$760

Check # 21108 in the amount of \$ 800.00 to cover the filing fee and assignment recordation fee. In the event that the attached check is found to be insufficient, the Commissioner is hereby authorized to charge payment for any additional filing fees required under 37 CFR 1.16 associated with this communication or credit any over-payment to Deposit Account No. 14-1060.

Respectfully submitted,

NIKAIDO, MARTELSTEIN, MURRAY & ORAM LLP

*George E. Oram, Jr.*  
By: George E. Oram, Jr.  
Reg. No. 27,931

Metropolitan Square  
655 15th Street, N. W.  
Suite 330 - G Street Lobby  
Washington, D. C. 20005-5701  
Tel: (202) 638-5000  
Fax: (202) 638-4810

GEO:mmg

## ヘッドサスペンションアセンブリ (HEAD SUSPENSION ASSEMBLY)

### 発明の技術分野 (FIELD OF THE INVENTION)

本発明は、磁気ディスク装置に用いられるヘッドサスペンションアセンブリに関する。

### 関連技術の説明 (DESCRIPTION OF THE RELATED ART)

この種の磁気ディスク装置では、サスペンションの先端部に取り付けられた磁気ヘッドスライダを、回転する磁気ディスクの表面から浮上させ、その状態で、この磁気ヘッドスライダに搭載された薄膜磁気ヘッド素子によって、磁気ディスクへの情報の記録及び／又は磁気ディスクからの情報の再生が行われる。

近年の磁気ディスク装置の大容量化及び高密度記録化に伴い、薄膜磁気ヘッド素子はより高い読取り感度を必要としている。このような高い読取り感度を実現する薄膜磁気ヘッド素子の電流容量は、極めて小さい。

このため、製造及び組立工程において、磁気ヘッド素子を取り扱う作業員の体に帯電している静電荷の放電 (ESD) による過電流、又は測定若しくは評価工程における意図しない過電流がこの磁気ヘッド素子に流れると、薄膜磁気ヘッド素子の特性劣化を招き、最悪の場合は磁気ヘッド素子の静電破壊をもたらす可能性がある。

記録用のインダクティブ素子及び再生用の磁気抵抗効果 (MR) 素子を有する複合型磁気ヘッドの静電破壊防止技術として、特開平 7-85422 号公報には、インダクティブ素子と MR 素子との間を  $103-109\ \Omega\text{cm}$  の物質で短絡すると共に、MR 素子に接続される一対の端子間に正逆方向にそれぞれ 1 つのダイオードを接続する技術が開示されている。

また、同じく複合型磁気ヘッドの静電破壊防止技術として、特開平 7-141636 号公報には、磁気ヘッドの製造及び組立作業時に、この磁気ヘッドと磁気ディスク装置の電気回路とを電氣的に接続するフレキシブルプリント基板 (FPC) の信号読取端子を短絡させておき、組立作業終了後の特性測定作業前に短絡個所を FPC の切断により開放する技術が開示されている。

さらに、複合型磁気ヘッドの静電破壊防止技術として、米国特許第 5465186 号公報には、磁気ヘッドの製造及び組立作業時に、MR 素子の端子間をリード線により短絡しておき、組立作業中の適当な時期に、この短絡したリード線に正逆方向にそれぞれ 1 つのダイオードを並列に接続した後、並列接続部のリード線を切断し、MR 素子に上述のダイオードを並列接続した状態とする技術が開示されている。

しかしながら、特開平 7-85422 号公報に記載された従来の静電破壊防止技術によると、磁気ヘッドの製造工程において、インダクティブ素子と MR 素子との間を短絡する抵抗物質を設ける必要があるため工程が複雑となる。また、一方向に 1 つのダイオードしか接続していないため、十分な ESD 対策を期待することができない。特に、高感度の巨大磁気抵抗効果 (GMR) を利用した例えばスピンバルブ MR 素子等では、静電破壊が生じる値よりはるかに小さい ESD によりその磁気特性が変化してしまうが、この公知技術では、このような磁気特性変化を防止することは不可能である。

また、特開平 7-141636 号公報に記載された従来の静電破壊防止技術によると、

特性測定作業後に発生することのあるE S D対策を別個に施す必要がある。

さらにまた、米国特許第5 4 6 5 1 8 6号公報に記載された従来の静電破壊防止技術によると、短絡個所を切断して開放するという容易ではない作業を行う必要がある。加えて、一方向に1つのダイオードしか接続していないため、十分なE S D対策を期待することができない。特に、例えばスピバルブMR素子等のGMR素子では、静電破壊が生じる値よりはるかに小さいE S Dによりその磁気特性が変化してしまうが、この公知技術では、このような磁気特性変化を防止することは不可能である。

#### 発明の要約 (SUMMARY OF THE INVENTION)

従って本発明の目的は、E S Dによる薄膜磁気ヘッド素子の電磁特性の劣化を確実に防止することができるヘッドサスペンションアセンブリを提供することにある。

本発明によれば、少なくとも1つの薄膜磁気ヘッド素子を有する磁気ヘッドスライダと、磁気ヘッドスライダを先端部に支持する支持機構と、薄膜磁気ヘッド素子の駆動回路と、各々が少なくとも1つの薄膜磁気ヘッド素子の最大出力電圧より大きな導通動作電圧を有しており、少なくとも1つの薄膜磁気ヘッド素子に接続される端子間に一方向について少なくとも2つ並列接続されたダイオード素子とを備えたヘッドサスペンションアセンブリが提供される。

一方向について2つ以上のダイオード素子が、薄膜磁気ヘッド素子に接続される端子間に並列接続されている。その結果、静電気によって生じた過電流は、並列接続された2つ以上のダイオード素子に分流して流れるため、薄膜磁気ヘッド素子に流れる電流は大幅に低減し、耐静電特性が飛躍的に向上する。

各ダイオード素子は、導通動作の応答速度が1. 5 n s e c以下のダイオード素子であることが好ましい。

駆動回路がI Cチップ内に形成されており、ダイオード素子もI Cチップ内に設けられていることが好ましい。

I Cチップが、支持機構上に搭載されているか、又は支持機構より伸びる配線基板上に搭載されていることも好ましい。

薄膜磁気ヘッド素子が、再生用のMR素子のみか、又は記録用のインダクティブ素子及び再生用のMR素子であることが好ましい。

このMR素子が、GMR素子又はTMR（トンネル磁気抵抗効果）素子であることも好ましい。GMR素子又はTMR素子のピン反転等の電磁特性変化は、この素子に比較的小さな、例えば20mA程度の電流が流れても発生する。しかしながら、上述のように、並列接続された2つ以上ダイオード素子への分流が起こるため、このGMR素子又はTMR素子に流れる電流は非常に小さくなり、その結果、電磁特性の耐E S D性が大幅に向上する。

本発明の他の目的及び効果は、添付図面で説明される本発明の好ましい実施態様に関する以下の記載から明らかとなるであろう。

#### 図面の簡単な説明 (BRIEF DESCRIPTION OF THE DRAWINGS)

図1は本発明の好ましい実施形態としてスピバルブMR素子及びインダクティブ素子

を備えた複合型ヘッドサスペンションアセンブリの主にヘッド部及び駆動回路部の概略構成を示す断面図である；

図2は図1の実施形態における複合型ヘッドサスペンションアセンブリの全体を示す平面図である；

図3はスピンバルブMR素子において、ピン反転が生じるESD電流の値のMR素子抵抗値依存性を示すグラフである；

図4a-4dはMR素子とこれに並列に接続するダイオード素子との種々の回路構成を示す回路図である；

図5は図4a-4dの各場合におけるESD電流とMR素子に実際に流れる電流との関係を示すグラフである；

図6はHuman Body ModelによるESD電流の波形を示すグラフである；

図7はスピンバルブMR素子のESD電圧に対する出力電圧特性を示すグラフである；

図8はスピンバルブMR素子のESD電圧に対する抵抗変化率 $\Delta R$ を示すグラフである；そして

図9本発明の他の実施形態における複合型ヘッドサスペンションアセンブリの全体を示す平面図である。

#### 好ましい実施形態の説明 (DESCRIPTION OF THE PREFERRED EMBODIMENTS)

図1はGMR素子の一種であるスピンバルブMR素子及びインダクティブ素子を備えた複合型ヘッドサスペンションアセンブリの主にヘッド部及び駆動回路部の概略構成を示している。

同図において、10は磁気ヘッドスライダ、11はスピンバルブMR素子、12はMR素子11の下部磁気シールド層、13はMR素子11の上部磁気シールド層を兼用するインダクティブ素子の第1の薄膜磁気コア層、14はインダクティブ素子の第2の薄膜磁気コア層、15はインダクティブ素子のコイル、16はインダクティブ素子用の1対の端子電極、17はMR素子11用の1対の端子電極、18はMR素子11の両端及び1対の端子電極17を接続する1対の接続導体、19はインダクティブ素子用の1対の端子電極16とMR素子11用の1対の端子電極17とが接続されている駆動回路（ヘッドアンプ）をそれぞれ示している。

以上の構成は、一般的な複合型磁気ヘッドの構成と同じであるが、本実施形態では、駆動回路19の手前のMR素子11用の1対の端子電極17間に、4つのダイオード素子20a~20dが互いに並列に接続されている。実際には、駆動回路19及びダイオード素子20a~20dは、1つのICチップ21内に組み込まれている。

ダイオード素子20a及び20bは順方向が一方の方向となるように接続されており、ダイオード素子20c及び20dは順方向が他方の方向となるように接続されている。即ち、一方向について2つのダイオード素子が並列接続されている。

図2は、図1の実施形態における複合型ヘッドサスペンションアセンブリの全体を示している。

同図において、22は磁気ヘッドスライダ10を一方の端部に設けられた舌部で担持する可撓性のフレクシャー、23はフレクシャー22を支持固着するロードビーム、24は

ロードビーム 23 の基部に設けられたベースプレートをそれぞれ示している。

フレクシャー 22 上には、シリコン半導体による IC チップ 21 が搭載されており、この IC チップ 21 内には、前述のごとく、ヘッドアンプである駆動回路 19 と 4 つのダイオード素子 20a ~ 20d とが IC 化されて一体的に形成されている。IC チップ 21 の大きさとしては、単なる一例であるが、1.0mm×1.0mm×0.25mm である。また、IC チップ 21 の取り付け位置は、耐 ESD 特性の向上、電磁特性の向上及び実装における容易性から、このようにサスペンション上の磁気ヘッドスライダ 10 に近い位置としている。

フレクシャー 22 上には、さらに、入出力信号線としてフレキシブルプリント基板 (FPC) の形態による複数のリード導体 25 が形成されており、これらリード導体 25 の一端はフレクシャー 22 の先端に設けられた磁気ヘッドスライダ 10 の前述の端子電極 16 及び 17 に接続されており、他端は IC チップ 21 を介して外部回路と接続するための接続パッド 26 に接続されている。

周知のように、スピバルブ MR 素子は、2 つの強磁性薄膜層を非磁性金属層で磁氣的に分離してサンドイッチ構造とし、その一方の強磁性薄膜層に反強磁性薄膜層を積層することによってその界面で生じる交換バイアス磁界をこの一方の強磁性薄膜層 (ピンニングされる層、ピンド層) に印加するようにしたものである。交換バイアス磁界を受けるピンド層と受けない他方の強磁性薄膜層 (フリー層) とでは磁化反転する磁界が異なるので、非磁性金属層を挟むこれら 2 つの強磁性薄膜層の磁化の向きが平行、反平行と変化し、これにより電気抵抗率が大きく変化するので巨大磁気抵抗効果が得られる。

スピバルブ MR 素子の出力特性等は、非磁性金属層を挟むこれら 2 つの強磁性薄膜層 (ピンド層及びフリー層) の磁化のなす角度によって定まる。フリー層の磁化方向は磁気媒体からの磁界の方向に従って容易に磁化し、一方、ピンド層の磁化方向は反強磁性薄膜層との交換結合により一方向 (ピンニングされる方向、ピンド方向) に制御される。しかしながら、スピバルブ MR 素子に何らかの原因で熱及び磁界が印加されると、このピンド方向の反転 (ピン反転) が生じることがある。

例えば ESD 電流によって発生するジュール熱及び磁界により、ピン反転が発生する可能性がある。図 3 は、スピバルブ MR 素子において、ピン反転が生じる ESD 電流値の MR 素子抵抗値依存性を示すグラフである。MR 素子抵抗値が 50Ω である場合、MR 素子に Human Body Model での実験で 20mA 以上の ESD 電流が流れるとピン反転が発生することが分かる。

そこで、本発明では、このようなスピバルブ MR 素子と並列に一方向について複数のダイオード素子を接続することにより、この MR 素子に 20mA 以上の ESD 電流が流れないようにしているのである。

図 4a - 4d は、MR 素子とこれに並列に接続するダイオード素子との種々の回路構成を示しており、図 4a は MR 素子 40 にダイオード素子を全く接続しない場合、図 4b は従来技術のように一方向について 1 つのダイオード素子 41 を並列接続した場合、図 4c は本実施形態のように一方向について 2 つのダイオード素子 41 及び 42 を並列接続した場合、図 4d は一方向について 3 つのダイオード素子 41 ~ 43 を並列接続した場合をそれぞれ示している。

また、表 1 及び図 5 は、図 4 a－4 d の各場合における ESD 電流  $I_{ESD}$  と MR 素子に実際に流れる電流  $I_{MR}$  との関係を示している。ただし、MR 素子の抵抗値が  $50\ \Omega$  であり、ダイオード素子の導通時の抵抗が  $8\ \Omega$  であるとしている。

表 1

ESD current $I_{ESD}$ (mA)	MR current $I_{MR}$ (mA)			
	No diode (Fig. 4a)	Single diode (Fig. 4b)	Two diodes (Fig. 4c)	Three diodes (Fig. 4d)
20.0	20.0	2.8	1.5	1.0
100.0	100.0	13.8	7.4	5.1
200.0	200.0	27.6	14.8	10.1
300.0	300.0	41.4	22.2	15.2

表 1 及び図 5 から分かるように、図 4 a の場合は、印加される ESD 電流  $I_{ESD}$  がそのまま MR 電流  $I_{MR}$  として流れてしまう。また、図 4 b の従来技術の場合は、ESD 電流  $I_{ESD}$  が約  $150\text{ mA}$  を越えると MR 電流  $I_{MR}$  が  $20\text{ mA}$  を越えてピン反転が発生する。

しかしながら、図 4 c のように一方向について 2 つのダイオード素子 4 1 及び 4 2 を並列接続した場合は、ESD 電流  $I_{ESD}$  が約  $270\text{ mA}$  を越えるまでは、MR 電流  $I_{MR}$  が  $20\text{ mA}$  を越えることはなく、従って ESD 電流によるピン反転も発生しない。さらに、図 4 d のように一方向について 3 つのダイオード素子 4 1～4 3 を並列接続した場合は、ESD 電流  $I_{ESD}$  が約  $300\text{ mA}$  を越えても、MR 電流  $I_{MR}$  が  $20\text{ mA}$  を越えることはなく、従って ESD 電流によるピン反転も発生しない。

このように、電流の一方の方向について 2 つ以上のダイオード素子を MR 素子に並列に接続することにより、耐 ESD 特性が大幅に向上する。本実施形態では並列接続するダイオード素子の数が 2 つであるが、その数をより増大させればその分 MR 電流が低減するので、耐 ESD 特性はより向上する。

並列接続する各ダイオード素子の特性として、その導通動作電圧は、MR 素子の最大出力電圧より大きくする必要がある。MR 素子のセンス電流が  $10\text{ mA}$ 、その抵抗値が  $50\ \Omega$  であるとする、ダイオード素子の導通動作電圧は、少なくとも、 $50 \times 0.1 = 0.5\text{ V}$  より高くなければならない。

また、ダイオード素子の導通応答速度は、速ければ速いほどよいが、少なくとも  $1.5\text{ nsec}$  以下であることが望ましい。図 6 は Human Body Model による ESD 電流の波形を示すグラフであり、同図の実線 A はその ESD 電流自体を示しており、破線 B はダイオード素子を並列接続した場合である。この破線 B の鋭いピークがリーク電流である。リーク電流は、ダイオード素子の導通応答速度より速い信号であり、ダイオード素子の導通応答速度が速ければ速いほど小さくなる。従って、ESD モデルの 1 つである CDM

(Charged Device Model) において、 $1.5\text{ nsec}$  の電流印加での ESD 破壊報告が現在存在すること、及びピン反転が ESD 破壊よりも小さな電流で発生することを考慮すると、ダイオード素子の導通応答速度は、少なくとも  $1.5\text{ nsec}$  以下であることが要

求されるのである。

このような条件を満足するダイオード素子は、ディスクリート部品としては、種々存在しており（例えば、東芝製のダイオード1SS362）、これと同等の特性を有するダイオードをICチップ化することによって本実施形態のヘッドサスペンションアセンブリを実現することができる。

図7及び図8は、スピバルブMR素子のESD電圧に対する出力電圧特性及びESD電圧に対する抵抗変化率 $\Delta R$ をそれぞれ示すグラフである。これらの図において、aはMR素子にダイオード素子を全く接続していないヘッドサスペンションアセンブリ、b～dは従来技術のように一方向について1つのダイオード素子を並列接続したヘッドサスペンションアセンブリ、e及びfは本実施形態のように一方向について2つのダイオード素子を並列接続したヘッドサスペンションアセンブリの特性をそれぞれ示している。なお、使用したESDシミュレータは、擬似Human Body Model（RSIMU=1500 $\Omega$ 、C=100pF）である。

図7から明らかなように、MR素子にダイオード素子を全く接続していない場合a、及び一方向について1つのダイオード素子を並列接続した場合b～dは、比較的低いESD電圧（約70V以下）でMR素子のピン反転が生じてその出力電圧が反転している。これに対して、一方向について2つのダイオード素子を並列接続した場合e及びfは、それよりかなり高いESD電圧（約250V程度）となるまでピン反転が生じず、磁気的なダメージを受けにくくなっている。

また、図8から明らかなように、MR素子にダイオード素子を全く接続していない場合a、及び一方向について1つのダイオード素子を並列接続した場合b及びcは、比較的低いESD電圧（約400V）でESD電流によりMR素子の溶解が生じて抵抗値が変わるESD破壊が生じている。これに対して、一方向について2つのダイオード素子を並列接続した場合e及びfは、ESD電圧が800V以上となってもESD破壊が生じない。

なお、スピバルブMR素子のピン反転が起こる印加エネルギー量は、ESD破壊が起こるエネルギー量に比して非常に低く（約1/4以下）、従来のESD破壊防止技術によってスピバルブMR素子のピン反転を阻止することは不可能であることに注目すべきである。

以上説明したように、本実施形態によれば、スピバルブMR素子に対して、一方向について2つのダイオード素子を並列接続しているため、ESD電流による電磁特性の劣化及びESD破壊を防止することができる。また、これらのダイオード素子を駆動回路と共にICチップ化しているため、部品点数を増大させることなく、ESD対策を施すことができる。ヘッドサスペンションアセンブリの製造及び組立工程において作業員の人体に耐電している静電荷は、磁気ヘッド素子とICチップ等によるヘッド駆動回路とを接続する導体部分から侵入することが多い。従って、上述のダイオード素子を備えたICチップをサスペンション上に搭載することにより、磁気ヘッド素子に近い位置でESD対策が施されることとなるから、その保護効果がより増大する。

なお、上述した実施形態は、スピバルブMR素子のESD対策に関するものであるが、本発明は、その他のGMR素子、TMR素子、異方性磁気抵抗効果（AMR）素子、さらにはインダクティブ素子のESD対策に対しても適用可能である。

図9は、本発明の他の実施形態における複合型ヘッドサスペンションアセンブリの全体

を示している。

同図に示すように本実施形態では、リード導体 25 を有する F P C 27 がサスペンションの後方まで伸長しており、この F P C 27 上に I C チップ 21 が搭載されている。即ち、図 2 の場合には、サスペンション上に I C チップ 21 が搭載されているが、この実施形態では、サスペンション上ではない F P C 27 上に搭載されている。その他の構成及び作用効果は前述の実施形態の場合とほぼ同様である。

以上述べた実施形態は全て本発明を例示的に示すものであって限定的に示すものではなく、本発明は他の種々の変形態様及び変更態様で実施することができる。従って本発明の範囲は特許請求の範囲及びその均等範囲によってのみ規定されるものである。



請求の範囲 (WHAT IS CLAIMED IS:)

1. 少なくとも1つの薄膜磁気ヘッド素子を有する磁気ヘッドスライダと、  
該磁気ヘッドスライダを先端部に支持する支持機構と、  
前記薄膜磁気ヘッド素子の駆動回路と、各々が前記少なくとも1つの薄膜磁気ヘッド素子の最大出力電圧より大きな導通動作電圧を有しており、該少なくとも1つの薄膜磁気ヘッド素子に接続される端子間に一方向について少なくとも2つ並列接続されたダイオード素子とを備えたことを特徴とするヘッドサスペンションアセンブリ。
2. 前記各ダイオード素子は、導通動作の応答速度が1.5 nsec以下のダイオード素子であることを特徴とする請求項1に記載のヘッドサスペンションアセンブリ。
3. 前記駆動回路がICチップ内に形成されており、前記ダイオード素子も該ICチップ内に設けられていることを特徴とする請求項1に記載のヘッドサスペンションアセンブリ。
4. 前記ICチップが、前記支持機構上に搭載されていることを特徴とする請求項3に記載のヘッドサスペンションアセンブリ。
5. 前記ICチップが、前記支持機構より伸びる配線基板上に搭載されていることを特徴とする請求項3に記載のヘッドサスペンションアセンブリ。
6. 前記薄膜磁気ヘッド素子が、磁気抵抗効果素子であることを特徴とする請求項1に記載のヘッドサスペンションアセンブリ。
7. 前記磁気抵抗効果素子が、異方性磁気抵抗効果素子であることを特徴とする請求項6に記載のヘッドサスペンションアセンブリ。
8. 前記磁気抵抗効果素子が、巨大磁気抵抗効果素子であることを特徴とする請求項6に記載のヘッドサスペンションアセンブリ。
9. 前記磁気抵抗効果素子が、トンネル磁気抵抗効果素子であることを特徴とする請求項6に記載のヘッドサスペンションアセンブリ。
10. 前記薄膜磁気ヘッド素子が、記録用のインダクティブ素子及び再生用の磁気抵抗効果素子であることを特徴とする請求項1に記載のヘッドサスペンションアセンブリ。
11. 前記磁気抵抗効果素子が、異方性磁気抵抗効果素子であることを特徴とする請求項10に記載のヘッドサスペンションアセンブリ。

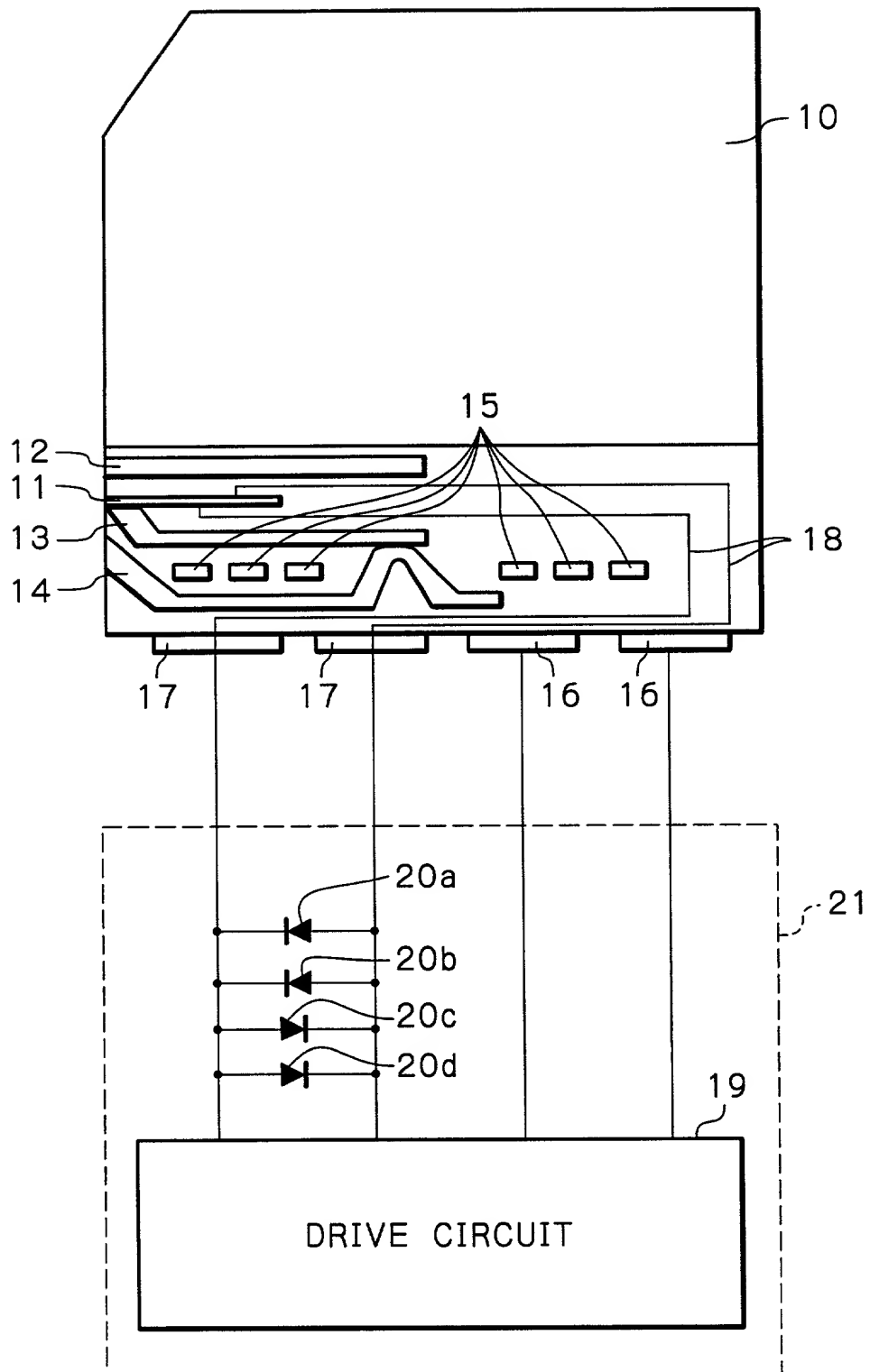
1 2. 前記磁気抵抗効果素子が、巨大磁気抵抗効果素子であることを特徴とする請求項 10 に記載のヘッドサスペンションアセンブリ。

1 3. 前記磁気抵抗効果素子が、トンネル磁気抵抗効果素子であることを特徴とする請求項 10 に記載のヘッドサスペンションアセンブリ。

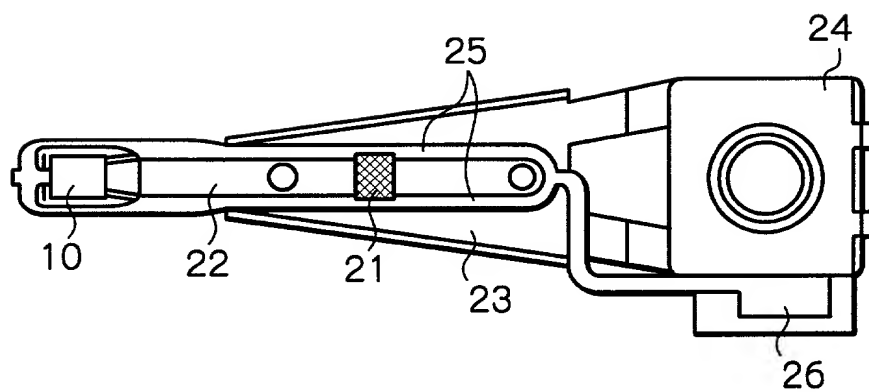
#### 開示の要約 (ABSTRACT OF THE DISCLOSURE)

少なくとも1つの薄膜磁気ヘッド素子を有する磁気ヘッドスライダと、磁気ヘッドスライダを先端部に支持する支持機構と、薄膜磁気ヘッド素子の駆動回路と、各々が少なくとも1つの薄膜磁気ヘッド素子の最大出力電圧より大きな導通動作電圧を有しており、少なくとも1つの薄膜磁気ヘッド素子に接続される端子間に一方向について少なくとも2つ並列接続されたダイオード素子とを備えている。

Fig. 1



*Fig. 2*



*Fig. 3*

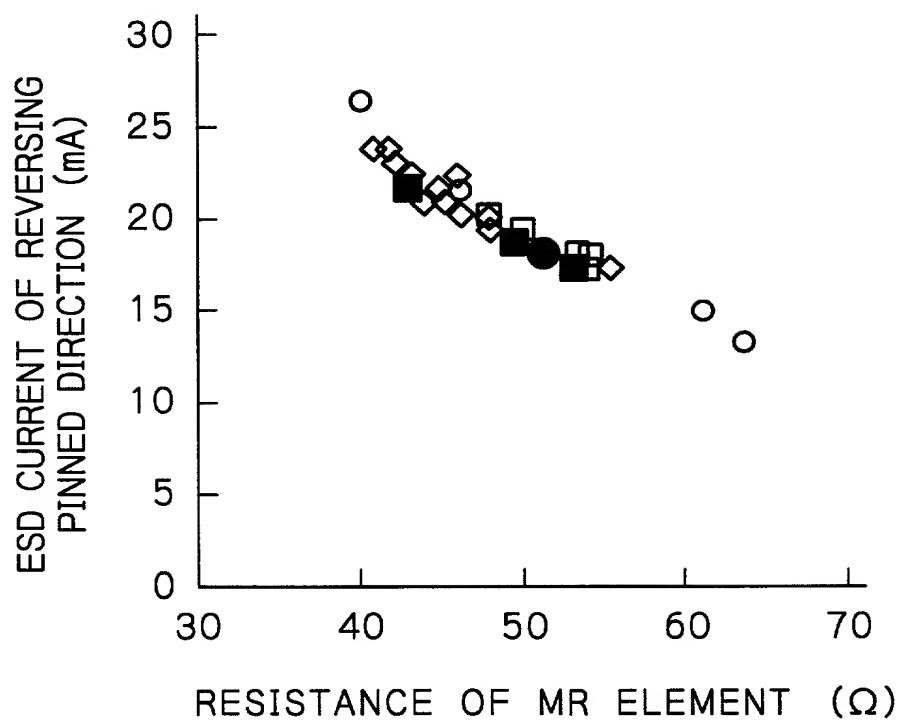


Fig. 4a

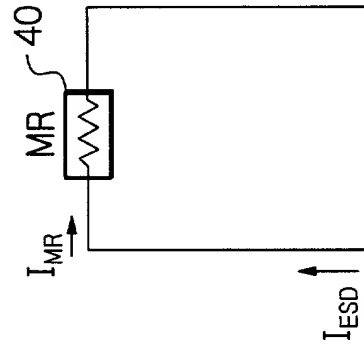


Fig. 4b

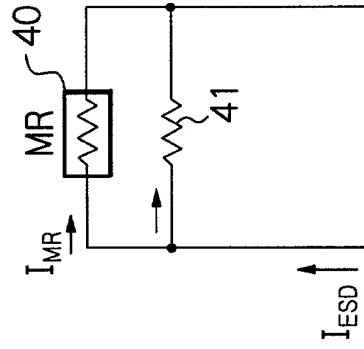


Fig. 4c

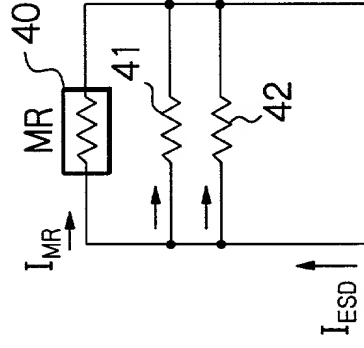
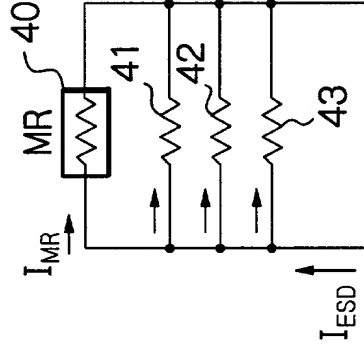
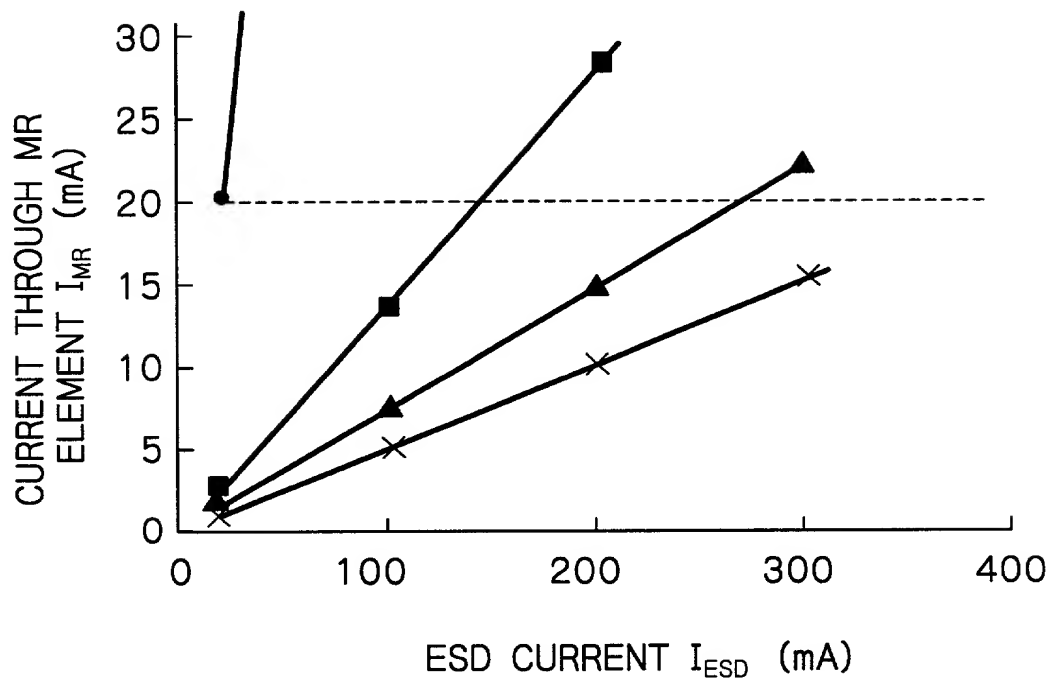


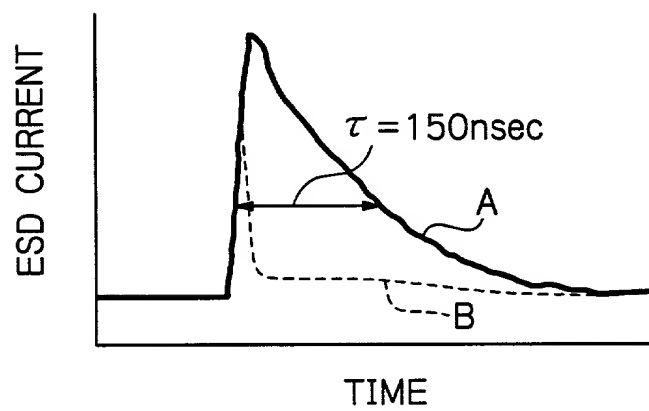
Fig. 4d



*Fig. 5*

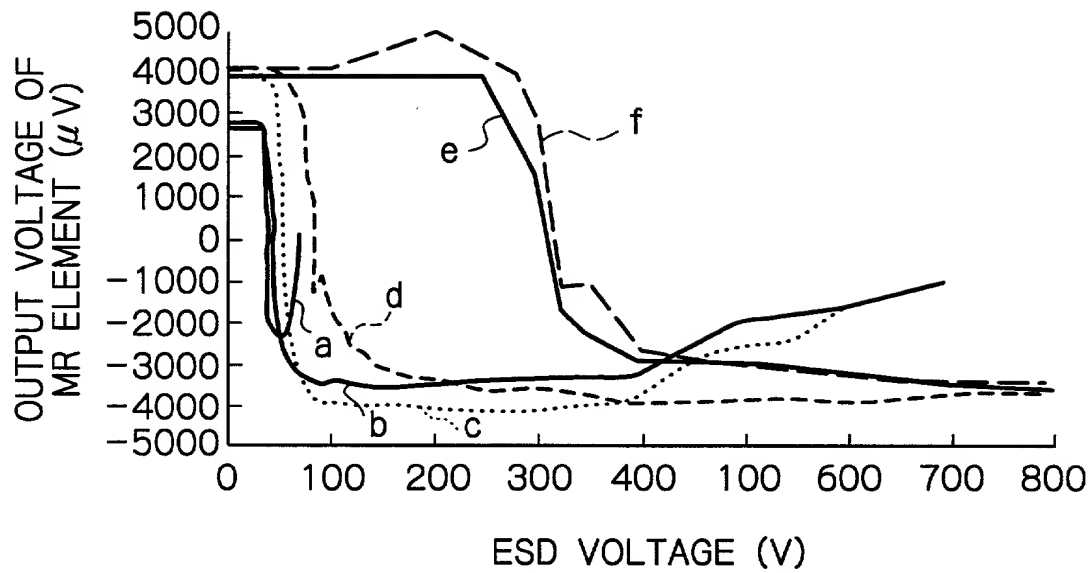


*Fig. 6*





*Fig. 7*



*Fig. 8*

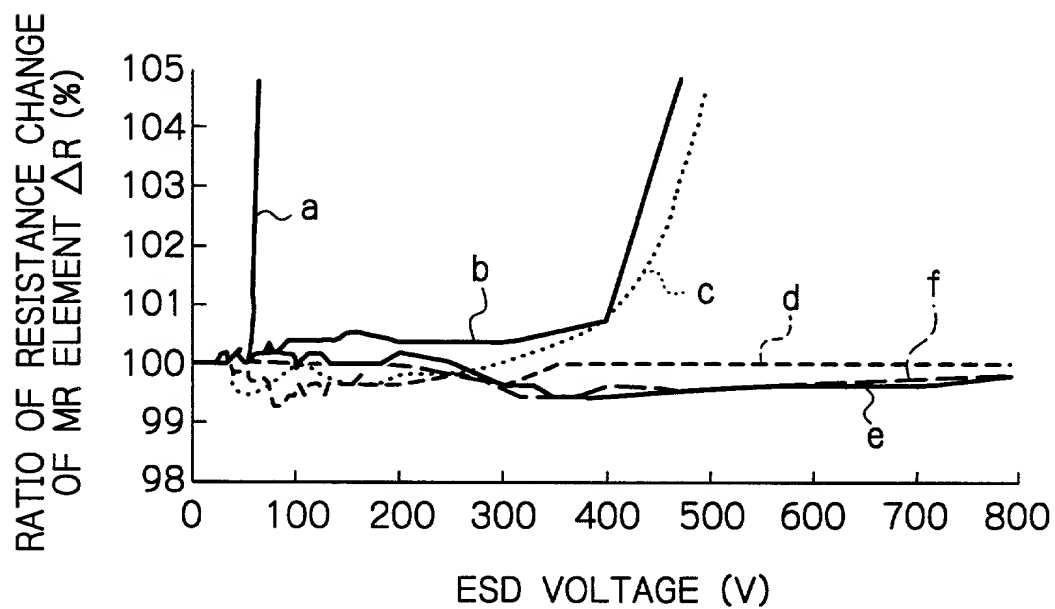
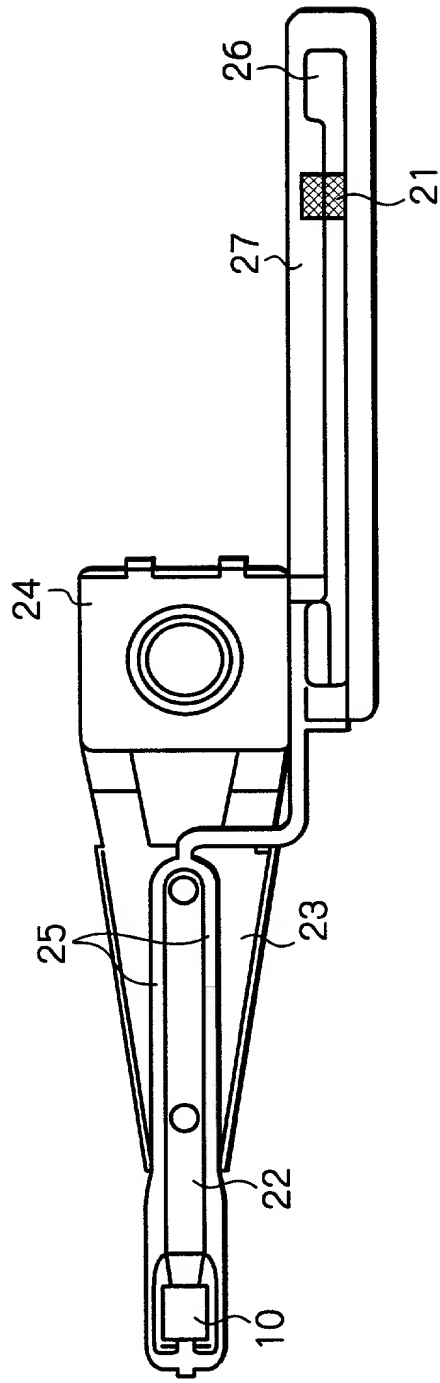


Fig. 9



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## Declaration and Power of Attorney For Patent Application

特許出願宣言書及び委任状

### Japanese Language Declaration

#### 日本語宣言書

下記の氏名の発明者として、私は以下の通り宣言します。

As a below named inventor, I hereby declare that:

私の住所、私書箱、国籍は下記の私の氏名の後に記載された通りです。

My residence, post office address and citizenship are as stated next to my name.

下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者（下記の氏名が一つの場合）もしくは最初かつ共同発明者であると（下記の名称が複数の場合）信じています。

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled

HEAD SUSPENSION ASSEMBLY

上記発明の明細書（下記の欄でx印がついていない場合は、本書に添付）は、

the specification of which is attached hereto unless the following box is checked:

☐ 月 日に提出され、米国出願番号または特許協定条約国際出願番号を \_\_\_\_\_ とし、  
（該当する場合） \_\_\_\_\_ に訂正されました。

☐ was filed on \_\_\_\_\_  
as United States Application Number or  
PCT International Application Number  
\_\_\_\_\_ and was amended on  
\_\_\_\_\_ (if applicable).

私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

私は、連邦規則法典第37編第1条56項に定義されるところ、特許資格の有無について重要な情報を開示する義務があることを認めます。

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56.

## Japanese Language Declaration

私は、合衆国法典第35部第119条にもとづく下記の外国特許出願または発明者証出願の外国優先権利益を主張し、さらに優先権の主張に係わる基礎出願の出願日前の出願日を有する外国特許出願または発明者証出願を以下に明記する：

I hereby claim foreign priority benefits under Title 35, United States Code, §119 of any foreign application(s) for patent or inventor's certificate listed below and have also identified below any foreign application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

Prior foreign applications  
先の外国出願

Priority claimed  
優先権の主張

<u>313955/1998</u>	<u>JAPAN</u>	<u>19/10/1998</u>
(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願の年月日)
<u>                    </u>	<u>                    </u>	<u>                    </u>
(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願の年月日)
<u>                    </u>	<u>                    </u>	<u>                    </u>
(Number) (番号)	(Country) (国名)	(Day/Month/Year Filed) (出願の年月日)

<input checked="" type="checkbox"/> Yes あり	<input type="checkbox"/> No なし
<input type="checkbox"/> Yes あり	<input type="checkbox"/> No なし
<input type="checkbox"/> Yes あり	<input type="checkbox"/> No なし

私は、合衆国法典第35部第120条にもとづく下記の合衆国特許出願の利益を主張し、本願の請求の範囲各項に記載の主題が合衆国法典第35部第112条第1項に規定の様態で先の合衆国出願に開示されていない限度において、先の出願の出願日と本願の国内出願日またはPCT国際出願日の間に公表された連邦規則法典第37部第1章第56条(a)項に記載の所要の情報を開示すべき義務を有することを認める：

I hereby claim the benefit under Title 35, United States Code, §120 of any United States application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of Title 35, United States Code, §112, I acknowledge the duty to disclose material information as defined in Title 37, Code of Federal Regulations, §1.56(a) which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

(Application Serial No.)  
(出願番号)

(Filing Date)  
(出願日)

(現況)  
(特許済み、係属中、放棄済み)

(Status)  
(patented, pending, abandoned)

(Application Serial No.)  
(出願番号)

(Filing Date)  
(出願日)

(現況)  
(特許済み、係属中、放棄済み)

(Status)  
(patented, pending, abandoned)

私は、ここに自己の知識にもとづいて行った陳述がすべて真実であり、自己の有する情報および信ずるところに従って行った陳述が真実であると信じ、さらに故意に虚偽の陳述等を行った場合、合衆国法典第18部第1001条により、罰金もしくは禁錮に処せられるか、またはこれらの刑が併科され、またかかる故意による虚偽の陳述が本願ないし本願に対して付与される特許の有効性を損うことがあることを認識して、以上の陳述を行ったことを宣言する。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## Japanese Language Declaration (日本語宣言書)

委任状: 私は下記の発明者として、本出願に関する一切の  
手続を米特許商標局に対して遂行する弁理士または代理人  
として、下記の者を指名いたします。(弁理士、または代理  
人の氏名及び登録番号を明記のこと)

POWER OF ATTORNEY: As a named inventor, I hereby appoint  
the following attorney(s) and/or agent(s) to prosecute this  
application and transact all business in the Patent and Trademark  
Office connected therewith (list name and registration number)

書類送付先

And I hereby appoint as principal attorneys David T. Nikaido, Reg.  
No. 22,663; Charles M. Marmelstein, Reg. No. 25,895; George E.  
Oram, Jr., Reg. No. 27,931; Robert B. Murray, Reg. No. 22,980;  
Martin S. Postman, Reg. No. 18,570; E. Marcie Emas, Reg. No.  
32,131; Douglas H. Goldhush, Reg. No. 33,125; Kevin C. Brown,  
Reg. No. 32,402; Monica Chin Kitts, Reg. No. 36,105; and  
Richard J. Berman, Reg. No. 39,107.

直接電話連絡先: (名前及び電話番号)

Please direct all communications to the following address:  
NIKAIDO, MARMELESTEIN, MURRAY & ORAM LLP  
Metropolitan Square  
655 Fifteenth Street, N.W., Suite 330 - G Street Lobby  
Washington, D.C. 20005-5701  
(202) 638-5000 Fax: (202) 638-4810

唯一または第一発明者名	Full name of sole or first inventor	Takeshi WADA	
発明者の署名	Inventor's signature	Date	October 1, 1999
	Takeshi Wada		
住所	Residence	Tokyo, Japan	
国籍	Citizenship	Japanese	
私書箱	Post Office Address	c/o TDK Corporation	
		of 1-13-1, Nihonbashi, Chuo-ku, Tokyo, 103-8272, Japan	
第二共同発明者名	Full name of second joint inventor, if any	Kenji INAGE	
第二共同発明者の署名	Second inventor's signature	Date	October 1, 1999
	Kenji Inage		
住所	Residence	Tokyo, Japan	
国籍	Citizenship	Japanese	
私書箱	Post Office Address	c/o TDK Corporation	
		of 1-13-1, Nihonbashi, Chuo-ku, Tokyo, 103-8272, Japan	

(第三以降の共同発明者についても同様に記載し、署名をす  
ること)

(Supply similar information and signature for third and subsequent  
joint inventors.)

第三共同発明者名		Full name of third joint inventor, if any Masashi SHIRAISHI	
第三共同発明者の署名	日付	Third inventor's signature <i>Masashi Shiraishi</i>	Date October 1, 1999
住所	Residence Tokyo, Japan		
国籍	Citizenship Japanese		
私書箱	Post Office Address c/o TDK Corporation		
	of 1-13-1, Nihonbashi, Chuo-ku, Tokyo, 103-8272, Japan		
第四共同発明者名		Full name of fourth joint inventor, if any Haruyuki MORITA	
第四共同発明者の署名	日付	Fourth inventor's signature <i>Haruyuki Morita</i>	Date October 1, 1999
住所	Residence Tokyo, Japan		
国籍	Citizenship Japanese		
私書箱	Post Office Address c/o TDK Corporation		
	of 1-13-1, Nihonbashi, Chuo-ku, Tokyo, 103-8272, Japan		
第五共同発明者名		Full name of fifth joint inventor, if any	
第五共同発明者の署名	日付	Fifth inventor's signature	Date
住所	Residence		
国籍	Citizenship		
私書箱	Post Office Address		
第六共同発明者名		Full name of sixth joint inventor, if any	
第六共同発明者の署名	日付	Sixth inventor's signature	Date
住所	Residence		
国籍	Citizenship		
私書箱	Post Office Address		